

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-247211

(43)公開日 平成9年(1997)9月19日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/56		9466-5K	H 0 4 L 11/20	1 0 2 Z
	5/22		5/22	
H 0 4 M 3/26			H 0 4 M 3/26	E
H 0 4 Q 11/04			H 0 4 Q 11/04	L

審査請求 未請求 請求項の数8 O L (全 16 頁)

(21)出願番号 特願平8-50242

(22)出願日 平成8年(1996)3月7日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(71)出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72)発明者 高井 直樹

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74)代理人 弁理士 茂泉 修司

最終頁に続く

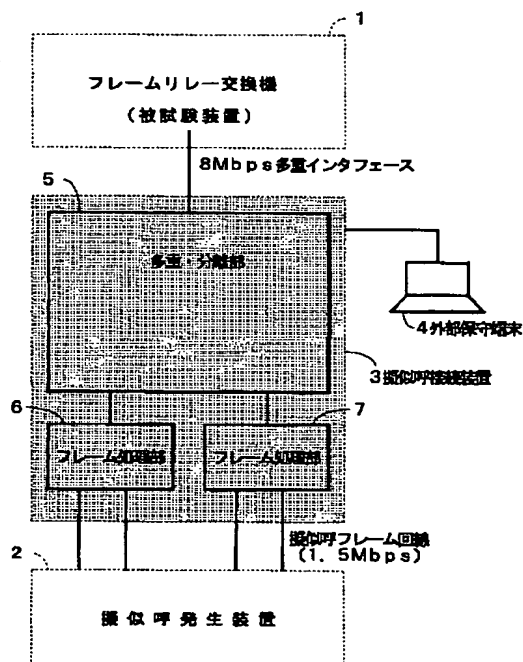
(54)【発明の名称】 擬似呼接続装置

(57)【要約】

【課題】所定伝送速度の多重インタフェースで高速データ通信を行うフレームリレー交換機と擬似呼フレームを発生する擬似呼発生装置との間に接続されて該フレームリレー交換機の試験を行う擬似呼接続装置に関し、小規模な構成で輻輳を生じることなく多くの端末を擬似できるようにする。

【解決手段】擬似呼発生装置からのフレーム多重した擬似呼フレームをフレーム処理部で時分割多重して該所定伝送速度の信号とし、この信号を、外部から指示された各フレーム処理部と該多重インタフェース上のチャネル群との対応パターンに基づき多重・分離部で時分割多重して該所定伝送速度の別の信号としてフレームリレー交換機に送出し、該交換機からは逆の経路と処理により該擬似呼発生装置に擬似呼フレームを戻す。

本発明の基本構成図



【特許請求の範囲】

【請求項 1】 所定伝送速度の多重インタフェースで高速データ通信を行うフレームリレー交換機と擬似呼フレームを発生する擬似呼発生装置との間に接続されて該フレームリレー交換機の試験を行う擬似呼接続装置において、

該擬似呼フレームをフレーム多重した複数の第 1 の信号を時分割多重して該所定伝送速度の第 2 の信号をそれぞれが出力する複数のフレーム処理部と、

各フレーム処理部からの複数の該第 2 の信号を、外部から指示された各フレーム処理部と該多重インタフェース上のチャンネル群との対応パターンに基づき時分割多重して該所定伝送速度の第 3 の信号として該フレームリレー交換機に送出する多重・分離部と、を備え、

該多重・分離部が、該第 3 の信号を該対応パターンに基づいて分離して該第 2 の信号とし、各フレーム処理部が該第 2 の信号を時分割分離して該第 1 の信号とし該擬似呼発生装置に送ることを特徴とした擬似呼接続装置。

【請求項 2】 請求項 1 において、

該多重・分離部が、該対応パターンが予め決められたパターンでないときに、これを検出して強制的に該対応パターンの内のいずれかのパターンを発生するパターン比較回路を含んでいることを特徴とした擬似呼接続装置。

【請求項 3】 請求項 1 又は 2 において、

各フレーム処理部が、該擬似呼フレームを一時的に保持する手段と、該保持手段の空き状態としきい値との関係から輻輳状態及び輻輳解除状態を検出する手段と、該輻輳検出時に該擬似呼フレームの該保持手段への書き込みを停止させるとともに該輻輳解除状態検出時に該擬似呼フレームの該保持手段への書き込みを再開させる手段と、を備えたことを特徴とする擬似呼接続装置。

【請求項 4】 請求項 3 において、

該保持手段が E S メモリを含み、各フレーム処理部が、初期設定時に該 E S メモリ内のデータを固定値に設定する手段をさらに有することを特徴とした擬似呼接続装置。

【請求項 5】 請求項 1 乃至 4 のいずれかにおいて、

各フレーム処理部が、フレーム多重の所定の論理チャンネルに、システムとして許容される最小フレーム長未満のショートフレームを試験用異常フレームとして作成し挿入する手段をさらに有することを特徴とした擬似呼接続装置。

【請求項 6】 請求項 1 乃至 4 のいずれかにおいて、

各フレーム処理部が、フレーム多重の所定の論理チャンネルに、試験用のアボートエラーフレーム又はフレームチェックシーケンスエラーフレームを試験用異常フレームとして作成し挿入する手段をさらに有することを特徴とした擬似呼接続装置。

【請求項 7】 請求項 5 又は 6 において、

各フレーム処理部が、該異常フレームの送出数をカウ

トして表示する手段をさらに有することを特徴とした擬似呼接続装置。

【請求項 8】 請求項 5 又は 6 において、

各フレーム処理部が、該異常フレームの論理チャンネルにおける該擬似呼フレームを廃棄させるとともに該廃棄したフレーム数をカウントして表示する手段をさらに有することを特徴とした擬似呼接続装置。

【発明の詳細な説明】

【発明の属する技術分野】 本発明は擬似呼接続装置に関し、特にフレームリレー交換機に対してオンラインソフトウェア開発及び過負荷試験等を行うために例えば 8 M b p s 多重インタフェース上へ擬似呼フレームを挿入する擬似呼接続装置に関するものである。

【0001】 近年、フレームリレーサービスの需要が高まり、種々の目的に見合った回線速度に対応すべく開発された 8 M b p s 多重インタフェース上のフレームリレー交換機に対して、その性能を試験するための擬似呼接続装置が必要になって来ている。

【0002】

【従来の技術】 図 1 2 は 8 M b p s 多重インタフェース上のフレームリレー交換機 1 に接続された従来の擬似呼接続装置 1 0 を示したもので、この擬似呼接続装置 1 0 は、8 M b p s 多重インタフェースを介して接続された多重加入者線端局装置 1 1 と、この多重加入者線端局装置 1 1 に例えば 1 . 5 M b p s 多重インタフェースを介して接続された複数の加入者回線端局装置 1 2 と、この加入者回線端局装置 1 2 にさらに例えば 6 4 K b p s 多重インタフェースを介して接続された回線終端装置 (K) 1 3 とで構成されている。

【0003】 そして、この擬似呼接続装置 1 0 は I インタフェースを介してユーザ側の擬似端末 (P) 1 4 と接続されている。これらの擬似端末 1 4 は擬似呼発生装置 1 5 を構成している。

【0004】 すなわち、この擬似呼接続装置 1 0 は通常の回線端局装置を利用してフレームリレー交換機 1 の性能試験等を擬似端末 1 4 の側から行うものであり、各擬似端末 1 4 からの擬似呼フレームは I インタフェースを介して各回線終端装置 1 3 に送られ、この回線終端装置 1 3 からの擬似呼フレーム (6 4 K b p s) は加入者線端局装置 1 2 において 1 . 5 M b p s まで多重化された後、多重加入者線端局装置 1 1 に送られて 8 M b p s 多重インタフェースの擬似呼フレームとなってフレームリレー交換機 1 に送られるようになっている。なお、擬似端末 1 4 の擬似呼フレームは多重加入者線端局装置 1 1 に直接送ってもよい。

【0005】 そして、フレームリレー交換機 1 を通った擬似呼フレームは逆のルートを通して擬似端末 1 4 に返送されることにより交換機 1 の性能試験結果を判定することになる。

【0006】

10

20

30

40

50

【発明が解決しようとする課題】このような従来の擬似呼接続装置においては、高負荷試験を行うためには複数の擬似呼端末を擬似するため、膨大な設備が必要となり、また複数の擬似端末を操作するため操作性が悪い欠点がある。

【0007】また擬似呼発生部より、高速のフレーム多量で複数の端末を1つの回線で擬似する方法だと擬似呼発生装置からの擬似呼フレームが一時的に特定擬似端末（インタフェース上の特定チャンネル）に偏ったとき、擬似呼接続装置内で擬似呼フレームが滞留して、これが継続した場合、フレームの消失となる可能性がある。これは、例えば、擬似呼発生装置より1.5Mbpsでインタフェースの特定チャンネル（64Kbps）へのフレームを連続して受信し、擬似呼接続装置内のバッファへの格納能力を超えてフレームが滞留した場合である。

【0008】したがって本発明は、所定伝送速度の多重インタフェースで高速データ通信を行うフレームリレー交換機と擬似呼フレームを発生する擬似呼発生装置との間に接続されて該フレームリレー交換機の試験を行う擬似呼接続装置において、小規模な構成で輻輳を生じることなく多くの端末を擬似できるようにすることを目的とする。

【0009】

【課題を解決するための手段】

〔1〕上記の目的を達成するため、本発明に係る擬似呼接続装置は、擬似呼フレームをフレーム多重した複数の第1の信号を時分割多重して該所定伝送速度の第2の信号をそれぞれが出力する複数のフレーム処理部と、各フレーム処理部からの複数の該第2の信号を、外部から指示された各フレーム処理部と該多重インタフェース上のチャンネル群との対応パターンに基づき時分割多重して該所定伝送速度の第3の信号として該フレームリレー交換機に送出する多重・分離部と、を備え、該多重・分離部が、該第3の信号を該対応パターンに基づいて分離して該第2の信号とし、各フレーム処理部が該第2の信号を時分割分離して該第1の信号とし該擬似呼発生装置に送ることを特徴としている。

【0010】すなわち、各フレーム処理部ごとに8Mbps多重インタフェースのチャンネル群から成る擬似呼フレーム回線を割り振り（例えばフレーム処理部当たり2擬似呼フレーム回線）、各フレーム処理部でフレーム変換（フレーム多重／時分割多重）後の各々時分割多重されたフレームを更に1本の例えば8Mbps多重インタフェースに時分割多重する多重・分離部を設けている。

【0011】そして、フレーム処理部とチャンネル群との対応パターンを外部より指定することにより、複数の多重分離位置を規定することができ、フレーム処理を負荷分散している。

【0012】〔2〕また本発明においては、上記の多重・分離部が、該対応パターンが予め決められたパターン

でないときに、これを検出して強制的に該対応パターンの内のいずれかのパターンを発生するパターン比較回路を含んでいることができる。

【0013】フレーム処理部でのフレーム処理の軽減及び多重・分離部での回路規模の縮小化のため、対応パターンは、予めいくつかのパターン群のみ有効とし、外部よりの指示パターンと有効パターン群とのチェック機能を持つ。また有効パターン群と異なるパターンが指示された場合は、特定パターンとして多重分離を行う。

10 【0014】〔3〕また本発明においては、各フレーム処理部が、該擬似呼フレームを一時的に保持する手段と、該保持手段の空き状態としきい値との関係から輻輳状態及び輻輳解除状態を検出する手段と、該輻輳検出時に該擬似呼フレームの該保持手段への書き込みを停止させるとともに該輻輳解除状態検出時に該擬似呼フレームの該保持手段への書き込みを再開させる手段と、を備えることができる。

20 【0015】すなわち、フレーム処理部内で擬似呼フレームを一担格納するデータバッファを複数面用意し、擬似呼発生装置より受信して未だフレームリレー交換機に送出していないフレームを格納中（使用中）のデータバッファ面数を監視することにより、輻輳状態の検出契機／輻輳解除状態の検出契機とする。

30 【0016】またさらに閾値を外部から指定できるようにすることにより輻輳制御時には、擬似呼発生装置からの擬似呼フレームの送信を抑止／解除する契機を可変とすることにより、デバッグ時使用する擬似呼フレーム長（傾向、平均）により、擬似呼発生装置及びフレーム処理部に対して処理効率に影響のない最適な輻輳制御が可能である。

【0017】〔4〕また本発明においては、上記の保持手段がESメモリを含み、各フレーム処理部が、初期設定時に該ESメモリ内のデータを固定値に設定する手段をさらに有することができる。

【0018】すなわち、擬似呼接続装置の初期設定時、ESメモリの通常の書き込みクロックとは別に、フレーム処理部の内部クロックで強制的に無効データ（例えばall'1'データ）を書き込む機能を付加する。

40 【0019】〔5〕また本発明においては、各フレーム処理部が、フレーム多重の所定の論理チャンネルに、システムとして許容される最小フレーム長未満のショートフレームを試験用異常フレームとして作成し挿入する手段をさらに有することを特徴とした擬似呼接続装置。

50 【0020】すなわち、擬似呼発生装置からの擬似呼フレームを擬似呼フレーム内に指定された論理チャンネル番号により（8Mbps）多重インタフェース上の指定チャンネルに挿入すると同時に、（8Mbps）多重インタフェース上の指定された特定チャンネル（擬似端末）上に、擬似呼接続装置内で作成したショートフレームを送出する機能を持つ。

5

【0021】〔6〕また本発明においては、各フレーム処理部が、フレーム多重の所定の論理チャンネルに、試験用のアボートエラーフレーム又はフレームチェックシーケンスエラーフレームを試験用異常フレームとして作成し挿入する手段をさらに有することができる。

【0022】すなわち、擬似呼発生装置からの擬似呼フレームを擬似呼フレーム内に指定された論理チャンネル番号により(8Mbps)多重インタフェース上の指定チャンネルに挿入すると同時に、(8Mbps)多重インタフェース上の指定された特定チャンネル(擬似端末)上に、FCSエラーを発生させるフレームを送出する、また例えば8ビット以上を'1'にすることによりアボートを発生させるフレームを送出する機能を持つ。

【0023】〔7〕また本発明においては、各フレーム処理部が、該異常フレームの送出数をカウントして表示する手段をさらに有することができる。

【0024】すなわち、ショートフレームの送出及びFCSエラー、アボート発生フレーム等の異常フレームの送出数をカウントする機能を持ちフレームリレー交換機にて異常フレームの連続受信時の動作確認を可能とした。

【0025】〔8〕また本発明においては、各フレーム処理部が、該異常フレームの論理チャンネルにおける該擬似呼フレームを廃棄させるとともに該廃棄したフレーム数をカウントして表示する手段をさらに有することも可能である。

【0026】すなわち、ショートフレームの送出及びFCSエラー、アボート発生フレーム等の異常フレームの送出時、擬似呼発生装置より擬似呼フレームを受信した場合、受信したフレームを廃棄し、廃棄したフレーム数をカウントする機能を持つ。

【0027】

【発明の実施の形態】図1は、本発明に係る擬似呼接続装置の基本構成を示したもので、フレームリレー交換機1と擬似呼発生装置2との間に擬似呼接続装置3が接続されており、この擬似呼接続装置3はさらにフレームリレー交換機1に8Mbps多重インタフェースを介して接続され且つ外部保守端末4が接続された多重・分離部5と、擬似呼発生装置2に接続された擬似呼フレーム回線(例えば1.5Mbps)と多重・分離部5との間に接続された2つのフレーム処理部6,7と、で構成されている。

【0028】図2は、擬似呼発生装置2から擬似呼接続装置3を経てフレームリレー交換機1に与えられる擬似呼フレームが変換されるときの実施例を示している。

【0029】まず、擬似呼発生装置2より1.5Mbpsの擬似呼フレーム回線PCL#0~3上にそれぞれ送出されたフレーム多重された擬似呼フレームは、擬似呼接続装置3内のフレーム処理部6,7で8Mbps時分割多重され、さらに多重・分離部5に於いても時分割多

6

重されて同じ8Mbps多重インタフェースでフレームリレー交換機1に送信される。

【0030】また逆にフレームリレー交換機1から送出されたフレームは多重・分離部5で分離され、フレーム処理部6,7でフレーム処理されて擬似呼発生装置2に戻される。

【0031】擬似呼発生装置2から擬似呼フレーム回線PCL#0に送出される1擬似呼フレーム群には論理チャンネル番号0~11が付与されている。

10 【0032】同様に、フレーム回線PCL#1~3上に送出された擬似呼フレームにはそれぞれ論理チャンネル番号24~35, 36~47, 及び48~59が付与されている。但し、論理チャンネル番号は12~23は空き番号となっている。

【0033】そして、擬似呼フレーム回線PCL#0と#1に出力された擬似呼フレームはフレーム処理部6で時分割多重され、また、擬似呼フレーム回線PCL#2と#3に出力された擬似呼フレームはフレーム処理部7で時分割多重された後、それぞれ多重・分離部5に送られて更に時分割多重される。

20 【0034】多重・分離部5から出力された擬似呼フレームは論理チャンネル番号が削除され、その代わりに図示のように、擬似呼フレーム回線PCL#0からの擬似呼フレームについて物理チャンネル0~11が割り当てられ、物理チャンネル12~23は空きとなっており、擬似呼フレーム回線PCL#1, 2, 3からの擬似呼フレームについてはそれぞれ物理チャンネル24~35, 36~47, 及び48~59が割り当てられている。

30 【0035】また、多重・分離部5から出力された8Mbps擬似呼フレームは1フレームについてタイムスロット番号0~127までが割り当てられており、その中でタイムスロット番号0~3, 64~67はダミーである。このダミーのタイムスロット部を除いて(128-8=120)、2個のタイムスロット(128kbp/s)を上記の1個の物理チャンネルとして、おのおのの番号順に割り当てている。

【0036】なお、擬似呼フレーム回線上の論理チャンネル群と物理チャンネル番号群との対応パターンは外部保守端末4により指示することができる。

40 【0037】一方、フレームリレー交換機1からの8Mbps擬似呼フレームは、上記の例と丁度逆に、物理チャンネル番号(タイムスロット)位置対応した論理チャンネル番号が付与され、物理チャンネル番号群毎に分離され、1.5Mbps擬似呼フレームに分離されてそれぞれ擬似呼フレーム回線PCL#0~3から擬似呼発生装置2に戻されるようになっている。

50 【0038】図3は、擬似呼接続装置3における多重・分離部5の具体的な構成例を示しており、この実施例では特にフレームリレー交換機1への上り方向における回路構成例を示している。

7

【0039】この多重・分離部5は、フレーム処理部6、7にそれぞれ接続されたESメモリ51A、51Bと、外部保守端末4から指定パターン信号PSEL0～4を受けてESメモリ51A、51Bに読出／書込タイミング信号をそれぞれ与えるパターン作成回路52Aと、8Mハイウェイクロック及び8Kフレームパルスを受けてパターン作成回路52Aにアドレスを与えるカウンタ53Aと、パターン作成回路52Aからのタイミング制御信号TP0、TP1によってESメモリ51A、51Bの出力信号を通過／阻止するためのゲート54A、54Bと、外部保守端末4からの指定パターン信号PSEL0～4を受けてパターン作成回路52Aに制御信号を与えるパターン比較回路55Aとを備えている。

【0040】まず、フレーム処理部6、7からの各々の8Mbps擬似呼フレーム（上り擬似呼フレーム）は上述の如く多重・分離部5でさらに同じ8Mbpsの時分割多重された擬似呼フレームとなってフレームリレー交換機1に送信されている。

【0041】この実施例では、フレーム処理部6で、擬似呼フレーム回線PCL#0、1上のそれぞれの論理チャネル番号0～11、24～35の擬似呼フレーム群を8Mbpsの擬似呼フレームの物理チャネル番号0～11、12～23に対応するタイムスロット番号4～27、28～51位置にそれぞれ時分割多重し、且つ残りの3チャネル群分を「空き」にして多重・分離部5のESメモリ51Aに送っている。

【0042】同様にフレーム処理部7では、擬似呼フレーム回線PCL#2、3上のそれぞれの論理チャネル番号36～47、48～59の擬似呼フレーム群を8Mbpsの擬似呼フレームの物理チャネル番号0～11、12～23に対応するタイムスロット番号4～27、28～51位置にそれぞれ時分割多重し、且つ残りの3チャネル群分を「空き」にして多重・分離部5のESメモリ51Bに送っている。

【0043】ESメモリ51A、51Bに入力された擬似呼フレームは、カウンタ53Aから与えられたアドレス信号を受けたパターン作成回路52Aによって読み出されてそれぞれゲート54A、54Bに送られる。

【0044】パターン作成回路52Aは、外部保守端末4からの指定パターンPSEL0～4信号にしたがってタイミング制御信号TP0、TP1をゲート54A、54Bに与えることにより、ESメモリ51A、51Bの出力信号を選択して通過させ、合成点56で時分割多重されて8Mbps多重インタフェース上でフレームリレー交換機1に送出される。

【0045】図4は外部保守端末4からの指示パターンにしたがってESメモリ51A、51Bのデータを読み出すときのタイミング例を示しており、横軸は8Mbpsの擬似呼フレームをタイムスロット番号4～27、28～51、52～79（ただしタイムスロット番号6

8

4～67はダミー）、80～103、及び104～127の5群のタイムスロットに分割している。スロット番号0～3はダミーである。

【0046】縦軸はタイミング制御信号TP0、TP1を示し、タイミング制御信号TP0はさらに3つのパターンSL0～2を含み、タイミング制御信号TP1も3つのパターンSL3～5を含んでおり、それぞれ“0”で選択、“1”で非選択を示している。

【0047】また、タイミング制御信号TP0のパターンSL0～2はタイムスロット番号4～27、28～51、及び52～79の3群の中から2群を、タイミング制御信号TP1のパターンSL3～5はタイムスロット番号52～79、80～103、及び104～127の3群の中から2群を選択するパターンになっている。

【0048】図4に例示した5つの指定パターンのデータ“11110”～“01111”は図3の外部指定パターン信号PSEL0～4に対応しており、例えば、外部パターン指定のデータ“10111”の場合は破線で指定されるように、パターンSL1とSL3が選択されることになる。

【0049】したがって、外部指示パターンPSEL0～4を変えることによりこの例ではTP0とTP1との組み合わせパターンが5通り選択可能である。

【0050】また、上記以外の指定パターンPSEL0～4が外部保守端末4から与えられた場合は、これをパターン比較回路55Aが検出するので、パターン比較回路55Aからの制御信号がパターン作成回路52Aに与えられることにより実線で示されるように強制的にパターンSL0とSL3が選択され、指定パターン“11101”が選択された場合と同じになる。

【0051】なお、タイミング制御信号TP0、TP1がともに選択されない（“1”）タイムスロットはフレームが挿入されず空きスロットとなる。例えば、外部よりパターン“11101”が指定されるとタイムスロット80～103は空きスロットとなる。

【0052】なお、図3の実施例では、図4の外部パターン“10111”が指定された場合を示している。

【0053】図5は、擬似呼接続装置3における多重・分離部5の実施例を示しており、この実施例では特にフレームリレー交換機1からの下り方向における回路構成例を示している。

【0054】この多重・分離部5は、フレームリレー1に共通に接続されたESメモリ51C、51Dと、外部保守端末4から指定パターン信号PSEL0～4を受けてESメモリ51C、51Dにタイミング制御信号TP0、TP1をそれぞれ与えるパターン作成回路52Bと、8Mbpsハイウェイクロック及び8Kbpsフレームパルスを受けてパターン作成回路52Bにアドレスを与えるカウンタ53Bと、外部保守端末4からの指定パターン信号PSEL0～4を受けてパターン作成回路52Bに制御信号を与えるパターン比較回路55Bとを

備えている。

【0055】まず、フレームリレー交換機1からの8Mbps多重インタフェース上の時分割多重された擬似呼フレームは、多重・分離部5の下りのESメモリ51C、51Dの各々に共通に入力される。

【0056】このとき、外部保守端末4からの指定パターン信号PSEL0～4で指定されたパターンにしたがってパターン作成回路52Bが出力する書込タイミングTP0、TP1で所定の物理チャネル群が選択され、カウンタ53Bからのアドレス信号に基づいてESメモリ51C、51Dに擬似呼フレームデータが書き込まれる。

【0057】すなわち、ESメモリ51Cは入力された擬似呼フレームのタイミング信号TP0で指定された番号0～11、24～35の物理チャネル群のみを順に書き込み、順次読み出してタイムスロット4～27、28～51にそれぞれ挿入されて出力されフレーム処理部6に送られる。

【0058】同様にESメモリ51Dでもフレームリレー1からの擬似呼フレームの番号36～47、48～59の物理チャネル群のみが書き込まれ、順次読み出されてタイムスロット4～27、28～51にそれぞれ挿入され、フレーム処理部6に送られる。

【0059】この実施例においても、パターン作成回路52Bは図4に示した外部指定パターンPSEL0～4に対応した指定パターンに基づいてESメモリ51C、51Dの書込／読出が実行されることとなる。また、パターン比較回路55Bも同様にして指定パターン以外のパターン指定時に強制的に所定パターンが選択されるようにしている。

【0060】図6は、上記のフレーム処理部6（フレーム処理部7も同様）の実施例を示したものであり、このフレーム処理部6は通信制御部（TDCTL）61Aを含んでいる。

【0061】この通信制御部61Aはマイクロプロセッサ（MPU）62とデータバッファメモリ（DM）63に各々CPUバスB1及びデータバスB2を介して接続されている。このCPUバスB1にはさらに輻輳表示レジスタ72が接続され、この輻輳表示レジスタ72はチャネル制御部73、読出制御部74、及び周期カウンタ75にビジー信号線BSYで共通接続され、読出制御部74は読出抑止信号線RINHでクロック乗せ替え用のESメモリ70の読出禁止端子R・INHに接続されており、信号線RRにより読出リセット端子RRに接続されており、さらにビジー信号線BSY1でクロック出力制御部71に接続されている。

【0062】データバッファメモリ（DM）63内には擬似呼フレームを一担格納する受信データバッファ（図示せず）が複数面用意されている。

【0063】クロック出力制御部71は回線クロック

（1.5Mbps）RCKと読出制御部74から信号線BSY1によるクロック禁止信号とを受けてクロック信号ST2を擬似呼発生装置2に送り、該擬似呼発生装置2はクロック信号ST2を使用して擬似呼フレームデータDIを送出する「従属同期モード」に設定されている。この場合は、クロック信号ST2とESメモリ70の書込クロック端子WCKへのクロック信号ST1とが同じ信号となる。

【0064】なお、ESメモリ70の端子DOから出力される受信データは回線クロックRCKに同期して論理チャネル番号CHNOの値を論理チャネル番号として通信制御部61Aを通してデータバッファメモリ63の受信バッファに2タイムスロット（16ビット）毎に記憶される。

【0065】図7は、図6に示したフレーム処理部6における特に輻輳制御のタイムチャート図であり、図7

（1）～（8）は、それぞれ、1.5Mbps回線クロックRCK、チャネルクロックCHCK、論理チャネル番号CHNO、ESメモリ70の読出リセット（リードアドレスポインタリセット）信号RR、輻輳信号BSY、ESメモリ70の読出抑止信号RINH、通信制御部の受信データDO（同時にESメモリの出力データ）、及びクロック信号ST2を示している。

【0066】このうち、チャネルクロックCHCKは回線クロックRCKを8分周したものである。読出リセット信号RRがチャネルクロックCHCKの回線クロックRCKで4パルス前のタイミングで入力されると、論理チャネル番号CHNOは“00”にクリアされる。論理チャネル番号CHNOはチャネルクロックCHCKの2パルス毎に1づつカウントアップされる。この場合は、1チャネルは2タイムスロット（16ビット）としている。

【0067】図6の動作を図7のタイムチャートを参照して説明すると、データバッファメモリ63内の受信バッファが規定値以下の残面数になった場合に、ファームウェアがこれを輻輳状態として検出し、輻輳表示レジスタ72に対し輻輳信号を送る。

【0068】輻輳表示レジスタ72はこの輻輳信号を受けてビジー信号BSYを“1”としてチャネル制御部73、読出制御部74、及び周期カウンタ75に輻輳状態を知らせる（図7の時点T1）。

【0069】読出制御部74はこのビジー信号BSY“1”を回線クロックRCKとチャネルクロックCHCKで同期したビジー信号BSY1“1”をクロック出力制御部71に送る。

【0070】クロック出力制御部71はこのビジー信号BSY1“1”のタイミングでクロックST2の送出を止め、擬似呼発生装置2のフレーム送信を停止させる（時点T2）。この時、タイミングクロックST1（＝ST2）は停止する。

10

20

30

40

50

【0071】ESメモリ70は、書込クロックST1 (=ST2) が停止した為に擬似呼フレームデータDIの読み込みが禁止される。

【0072】さらに、読出制御部74は、ビジー信号BSY1より回線クロックRCKの4パルス分遅れて、信号RINHを“0”にする(時点T3)。ESメモリ70はこの信号で読み出しが禁止され、回線クロックRCKで4パルス後、出力データDOは保持されたままとなる(時点T4)。

【0073】ビジー信号BSY“1”を受けたチャネル制御部73は論理チャネル番号CHNOを“FF”にする(時点T5)。この論理チャネル番号CHNOを受けて通信制御部(TDCTL)61Aは受信データDOが無効フレームのデータであると判断しバッファデータメモリ63への書き込みを停止する。

【0074】8Mbps多重インタフェース側へのデータバッファメモリ63の受信バッファからのフレームの送出が進み、ある規定値以上の受信バッファ残面数になると、ファームウェアは輻輳解除状態を検出して輻輳表示レジスタ72に対し輻輳信号の送信を停止する。

【0075】この信号を受けて輻輳表示レジスタ72はビジー信号BSYを“0”とする(時点T6)。このビジー信号BSYを受けて読出制御部74はチャネルクロックCHCKで同期してビジー信号BSY1を“0”とする。この信号を受けたクロック出力制御部71は停止したクロックST2の送出を再開する(時点T7)。

【0076】擬似呼発生装置2はこのクロックST2を受けて擬似呼フレームの送出を再開する。ESメモリ70は、書込クロックST1 (=ST2) を受けて擬似呼フレームデータDIの読み込みを開始する。

【0077】さらに、ビジー信号BSYを受けた読出制御部74は、ビジー信号BSY1が“0”となったタイミングより回線クロックRCKで4パルス後に、読出抑止信号RINHを“1”とする(時点T8)。

【0078】この信号でESメモリ70は読出を再開し、回線クロックRCKで4パルス後に通信制御部61Aの入力端子に受信データDOとして送出する(時点T9)。

【0079】輻輳解除をビジー信号BSY“0”で通知されたチャネル制御部73は論理チャネル番号CHNOの“FF”データを輻輳発生時に読出停止したアドレスデータとする(時点T10)。これにより通信制御部61Aは受信データDOのデータバッファメモリ63の受信バッファへの読み込みを再開する。

【0080】図8は、フレーム処理部6(フレーム処理部7も同様)の実施例を示したもので、この実施例では特にESメモリ70をクリアする構成例を示している。

【0081】このため、フレーム処理部6は、擬似呼発生部2とESメモリ70の間に挿入されたセレクト回路76A、76Bと、これを選択信号SELで制御するE

Sメモリクリアタイミング作成回路77とを備えている。

【0082】動作においては、図示されていないファームウェアが指示するタイミングでESメモリクリアタイミング作成回路77が選択信号SELを作成する。

【0083】この選択信号SELを受け取った各セレクト回路76A、76Bは擬似呼発生装置2から送出されるESメモリ70へ書込クロックST1と擬似呼フレームデータDIとをそれぞれ回線クロックRCKと固定データ“1”に切り替える。

【0084】この切替タイミング期間に、ESメモリ70に固定データ“1”が書き込まれる。

【0085】図9は、フレーム処理部6(フレーム処理部7も同様)の実施例を示したもので、この実施例では特に「ショートフレーム」(異常フレーム)を作成する構成例を示しており、図6にも示した通信制御部(TDCTL)61Aと別の通信制御部61BがCPUバスB1及びデータバスB2で相互に接続されており、これらのバスB1、B2にはマイクロプロセッサ(MPU)62及びデータバッファメモリ(DM)63が接続されている。

【0086】データバッファメモリ63内には受信ディスクリプタ63Aと送信ディスクリプタ63Bが各受信データと送信データのチャネル毎に用意されている。

【0087】通信制御部61Aには擬似呼発生装置2からの1.5Mbps擬似呼フレームが入力され、通信制御部61Bからは8Mbpsの時分割多重フレームが出力されている。

【0088】外部保守端末4から論理チャネル番号CHNOとともにショートフレーム送出が指示されると、ファームウェアがシステムとして規定されているフレーム長に満たないフレームを作成し指定されたチャネル番号の送信ディスクリプタ63Bに挿入する。

【0089】さらに、擬似呼発生装置2から受信した、指定された論理チャネル番号CHNOの擬似呼フレームを総て受信ディスクリプタ63Aから破棄する。

【0090】また、この送出したショートフレーム数をカウンタステータス表示(ショートフレーム数表示)し、フレームリレー交換機1で検出されたショートフレーム数と比較してフレームリレー交換機1の試験を可能にしている。

【0091】図10は、フレーム処理部6(フレーム処理部7も同様)の実施例を示したもので、この実施例では特に「FCSエラー」と「アボート」の2種の異常フレームを作成送出する構成例を示している。

【0092】通信制御部(TDCTL)61A、61B、マイクロプロセッサ(MPU)62、データバッファメモリ(DM)63、及びチャネルレジスタ64はバス(CPUバス、データバス)で相互に接続されている。

10

20

30

40

50

【0093】チャンネルレジスタ64に接続されたチャンネル位置選択回路65は、カウンタ66からタイムスロットアドレスを受け取りデータ選択用のゲート67A、67B、67Cにそれぞれ選択信号CS0、CS1、CS2を送っている。

【0094】通常の状態では、チャンネル位置選択回路65は信号CS0、CS1、CS2をそれぞれ“0”、“1”、“1”としてゲート67Aを開、ゲート67Bと67Cを閉にする。通信制御部61Bからの、フレームチェックシーケンスFCSとフラグ付加後の8Mbps時分割多重フレームはゲート67Aを通過して多重・分離部5に送出される。

【0095】図11は図10の「FCSエラー」、「アボート」の作成タイムチャートを示しており、図11

(1)～(7)は、それぞれ、8kbpsフレームパルス、8Mハイウェイクロック、カウンタ66のタイムスロットアドレス、チャンネルレジスタ64のチャンネル番号、アボート出力タイミングCS2* (CS2の反転状態を示す。以下同様)、FCSエラー出力タイミングCS1*、及び8Mbpsハイウェイデータを示している。

【0096】図11を参照して図10の構成の動作を説明すると、8kbpsフレームパルスと8Mハイウェイクロックはカウンタ66に入力している。カウンタ66は8kbpsパルス毎にリセットされ、8Mbpsクロックの8パルス毎にカウントアップされてタイムスロットアドレスをチャンネル位置選択回路65に出力している。

【0097】チャンネル位置選択回路65は指定チャンネル番号を作成し、チャンネルレジスタ64に送る。作成規則は、タイムスロットアドレス0～3、64～67はダミー(ドントケアdc)でカウントしない、タイムスロット4でチャンネル番号は0とする、及び2タイムスロットに1チャンネル番号を対応させてカウントアップする、ことになる。

【0098】ファームウェアは、チャンネルレジスタ64に保持されているチャンネル番号と同じ番号の、データバッファメモリ(DM)63内の送信ディスクリプタのフレームにフラグとFCSを付加し8Mbps時分割多重で通信制御部61Bから送出している。

【0099】いま、例えば、チャンネル番号“1”の位置にアボート、FCSエラーを発生させることを図示されていない外部保守端末4から指定されたときのアボートエラーについてまず説明する。

【0100】チャンネル位置選択回路65は指定チャンネル番号が“1”となるタイミングを検出すると(図11の時点T1)、カウンタ66のタイムスロットアドレスが“6”である1タイムスロット分(8ビット)だけチャンネル位置選択回路65の内のアボート信号CS2*を“1”とする(同時点T2)。

【0101】チャンネル位置選択回路65が信号CS2を“0”として、CS0、CS1をそれぞれ“1”、“1”として出力すると、ゲート67A、67Bは閉、ゲート67Cは開となる。

【0102】この結果、フラグ付加後の指定されたチャンネル番号のフレームデータは8ビット分が固定データ“1”となった「アボート」エラーフレームとして、ハイウェイデータの1CHの位置にNG(異常フレーム)として挿入され(同時点T3)、多重・分離部5に送出される。

【0103】次にFCSエラーについて説明する。チャンネル位置選択回路65は指定チャンネル番号が“1”となりタイムスロットアドレスが“6”である1タイムスロット内の1ビット分のタイミングだけチャンネル位置選択回路65の内のFCSエラーCS1*を“1”とする(同時点T4)。

【0104】チャンネル位置選択回路65が信号CS1を“0”として、CS0、CS2をそれぞれ“1”、“1”として出力すると、この結果、ゲート67A、67Cは閉、ゲート67Bは開となる。

【0105】この結果、FCS付加後の指定されたチャンネル番号のフレームデータは1ビット分反転されて「FCSエラー」フレームとして、ハイウェイデータの1CHの位置にNG(異常フレーム)として挿入され(同時点T3)、多重・分離部5に送出される。

【0106】ショートフレーム作成時と同様に、ファームウェアは送出したアボートエラーとECSエラーの数をそれぞれカウントしステータス表示する。

【0107】さらに、ショートフレーム作成時と同様に、アボートエラー、FCSエラーの異常フレーム送出時についても、疑似呼発生装置2から受信した指定された論理チャンネル番号CHNOと同じ疑似呼フレームは総て受信ディスクリプタから破棄する。

【0108】これにより、疑似呼発生装置から送信された各異常フレーム数とフレームリレー交換機1で検出された各異常フレーム数を比較するフレームリレー交換機1の試験が可能となる。

【0109】

【発明の効果】以上説明したように、本発明に係る疑似呼接続装置によれば、疑似呼発生装置からのフレーム多重した疑似呼フレームをフレーム処理部で時分割多重して該所定伝送速度の信号とし、この信号を、外部から指示された各フレーム処理部と該多重インタフェース上のチャンネル群との対応パターンに基づき多重・分離部で時分割多重して該所定伝送速度の別の信号としてフレームリレー交換機に送出し、該交換機からは逆の経路と処理により該疑似呼発生装置に疑似呼フレームを戻すように構成したので、フレーム処理部毎に多重インタフェースのチャンネル群を割り振り、フレーム処理部とチャンネル群との対応パターンを外部より指定することにより、複数

の多重分離を可能とし、フレーム処理を負荷分散させており、小規模な構成で輻輳を生じることなく多くの端末を擬似できる。

【図面の簡単な説明】

【図1】本発明に係る擬似呼接続装置の基本構成を示すブロック図である。

【図2】擬似呼発生装置とフレームリレー交換機間の本発明に係る擬似呼接続装置のフレーム変換の流れを説明するための図である。

【図3】本発明に係る擬似呼接続装置に用いる多重・分離部の実施例（上り多重方向）を示すブロック図である。

【図4】本発明に係る擬似呼接続装置に用いる多重・分離部での外部保守端末からの指示によるESメモリの書込と読出のタイミング例を示した図である。

【図5】本発明に係る擬似呼接続装置に用いる多重・分離部の実施例（下り分離方向）を示すブロック図である。

【図6】本発明に係る擬似呼接続装置に用いるフレーム処理部の輻輳制御を実行するための構成ブロック図である。

【図7】図6の輻輳制御タイムチャート図である。

【図8】本発明に係る擬似呼接続装置に用いるフレーム処理部のESメモリをクリアする構成の実施例を示した回路図である。

【図9】本発明に係る擬似呼接続装置に用いるフレーム

処理部でのショートフレーム作成手段例を示すブロック図である。

【図10】本発明に係る擬似呼接続装置に用いるフレーム処理部での異常フレーム作成手段例を示すブロック図である。

【図11】図10に示した異常フレームのFCSエラーとアボートの作成タイムチャート図である。

【図12】従来の擬似呼接続装置の構成例を示したブロック図である。

【符号の説明】

1 フレームリレー交換機

2 擬似呼発生装置

3 擬似呼接続装置

4 外部保守端末

5 多重・分離部

51A, 51B 上りのエラスティックストアメモリ（ESメモリ）

51C, 51D 下りのESメモリ

52A, 52B パターン作成回路

55A, 55B パターン比較回路

6, 7 フレーム処理部

61A, 61B 通信制御部（TDCTL）

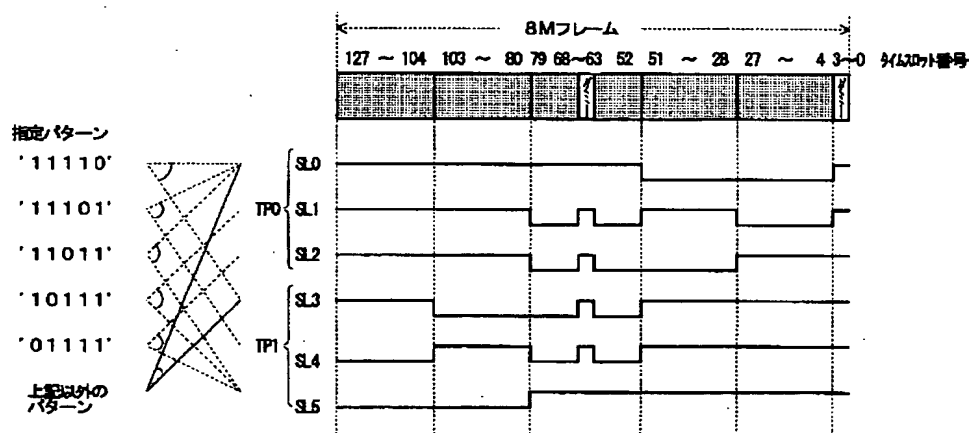
63 データバッファメモリ（DM）

70 エラスティックストアメモリ（ESメモリ）

図中、同一符号は同一又は相当部分を示す。

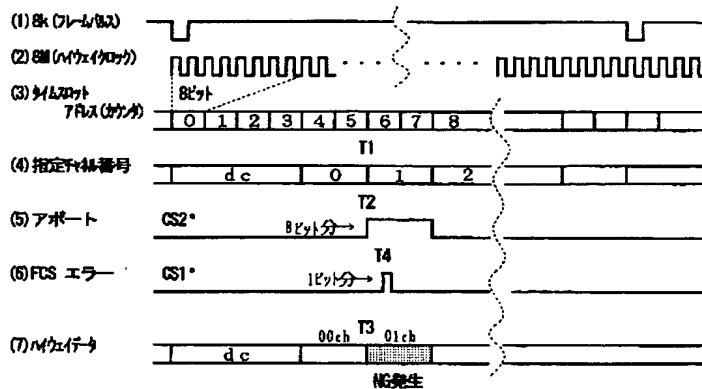
【図4】

外部指示によるES読出及び書込のタイミング例



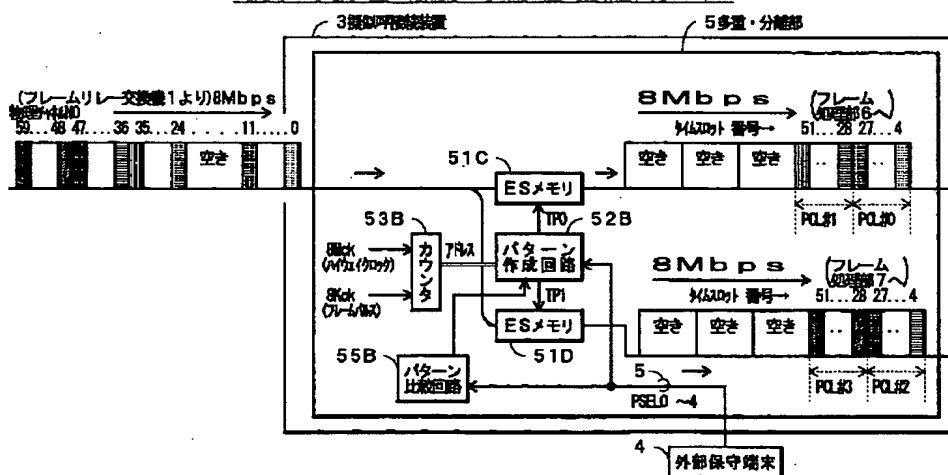
【图 1 1】

フレーム処理部の実施例（FCSエラー/
アボートフレームの作成手段のタイムチャート）



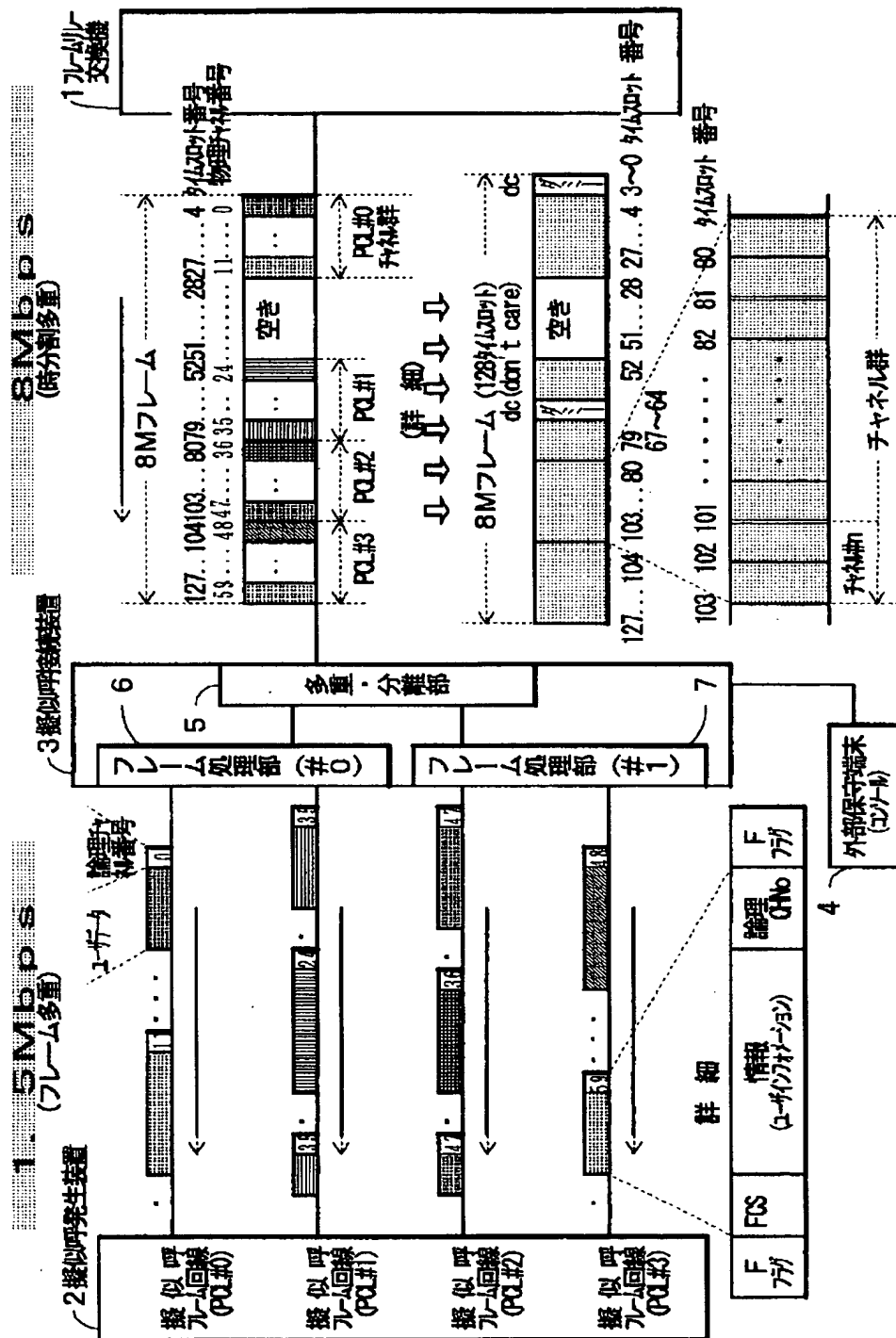
【図 5】

多重・分離部の実施例（下り分離方向）



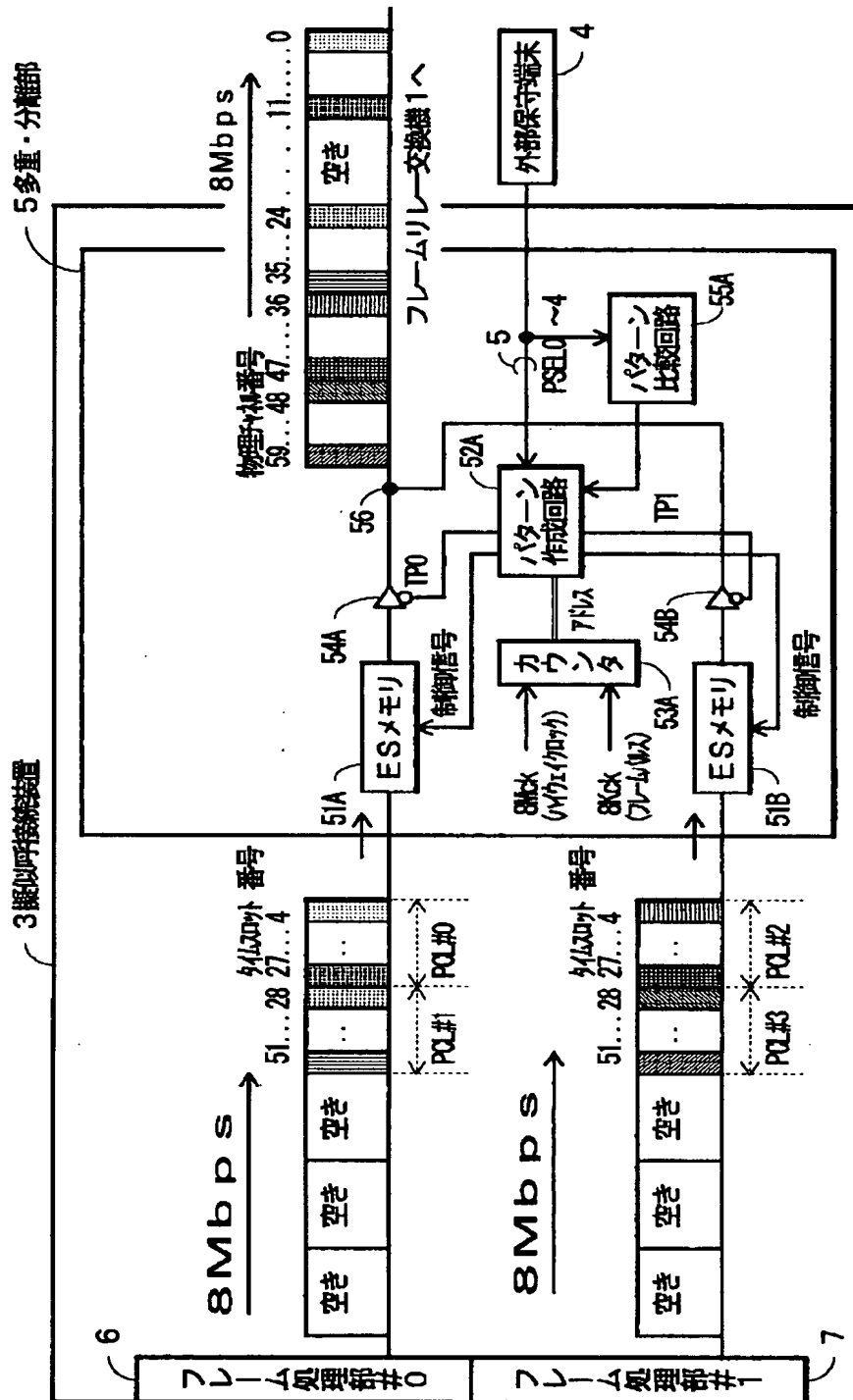
【図2】

フレーム変換の実施例 (疑似呼発生装置⇄フレームリレー交換機レート)



【図 3】

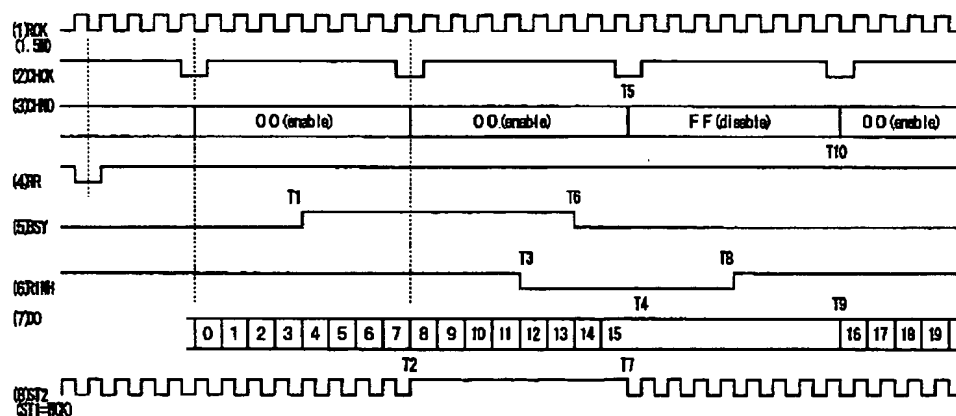
多重・分離部の実施例（上り多重方向）



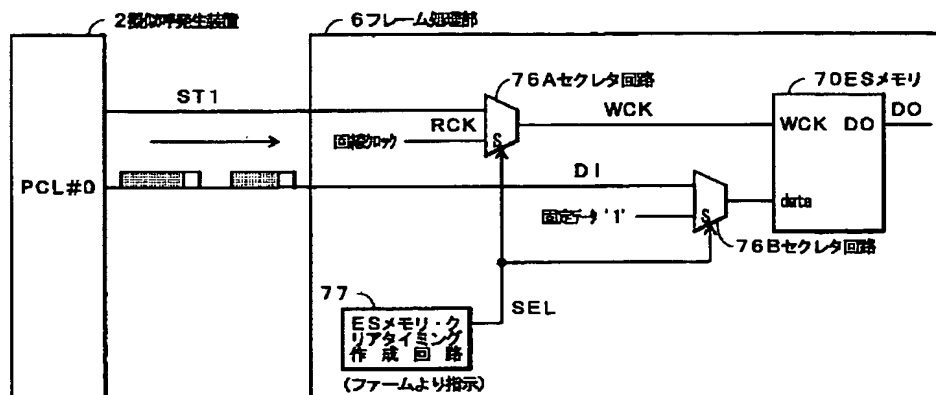
フレーム処理部の実施例 (車庫検定時間削減例)



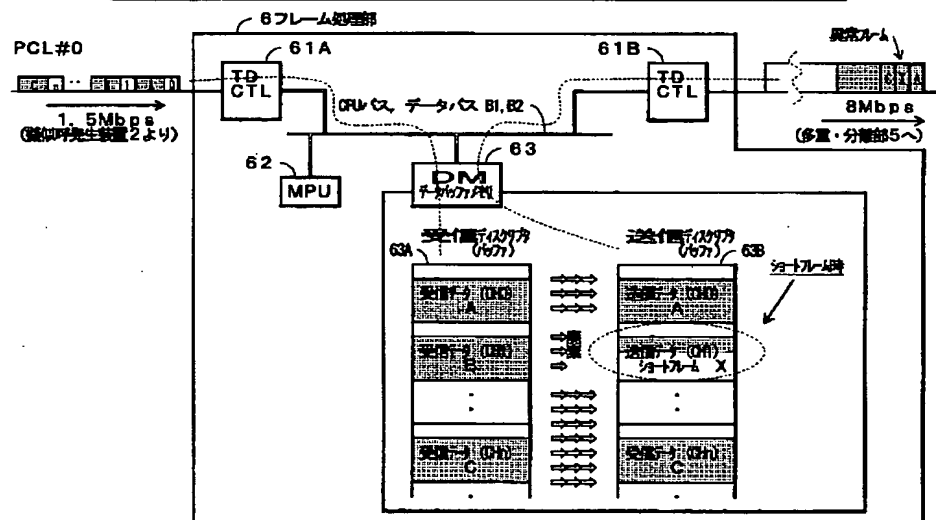
車庫禁制解除のタイムチャート例



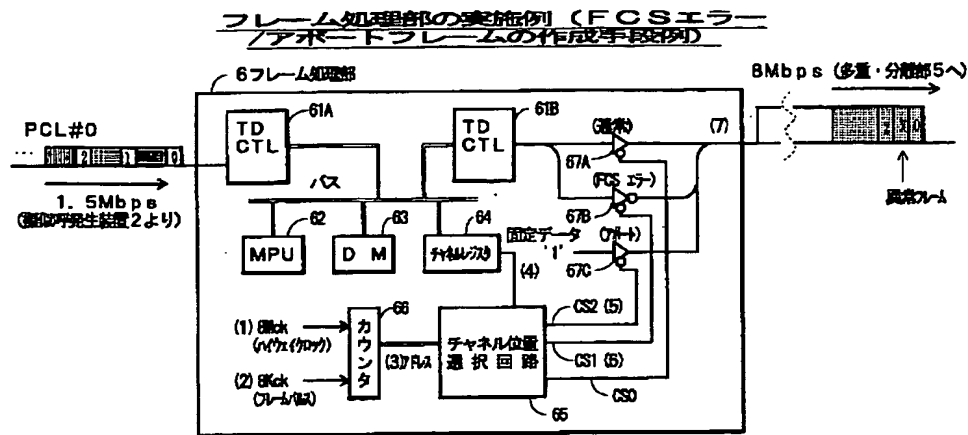
フレーム処理部の実施例（ESメモリクリアの構成例）



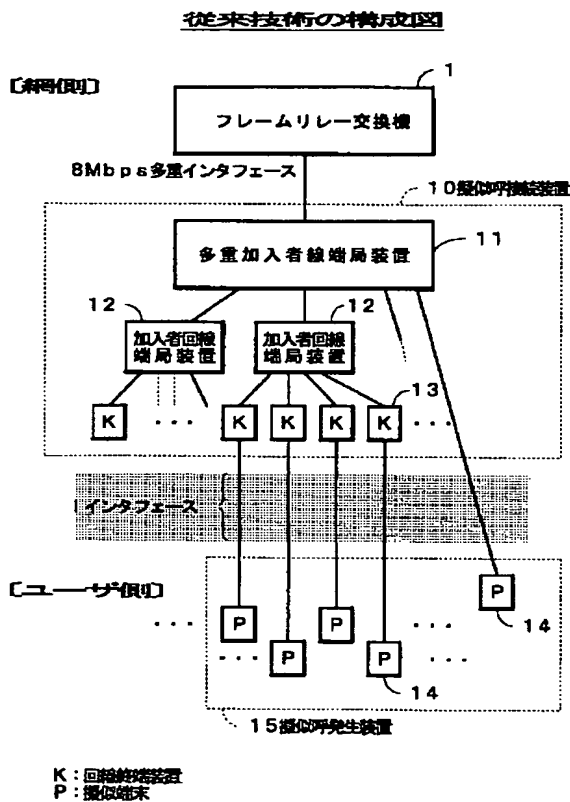
フレーム処理部の実施例（ショートフレームの作成例）



【図10】



【図12】



フロントページの続き

(72)発明者 田村 嘉郎
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 阿部 英雄
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 山口 哲夫
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 土谷 浩史
東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内